

# Frecuencia Máxima de un Sistema Digital Sincrónico (Básico)

Nota Técnica 8

Cristian Sisterna

## Introducción

Comúnmente se expresa que un sistema puede funcionar satisfactoriamente a 100MHz, o a 133MHz o cualquier otra frecuencia. Qué significa esto? Porqué esa frecuencia es la máxima frecuencia? Quién fija ese límite en un circuito digital? y Cómo se obtiene y calcula, ese número? ? Muuuchas preguntas para contestar en una simple nota técnica, pero... haré lo que pueda para contestarlas . . . :).

## Periodo Mínimo

En primer lugar recordemos que el periodo de reloj de un sistema es el que 'marca el paso' en el sistema. Si el periodo es largo, el sistema da pasos (entrega resultados/valores) en tiempos 'largos' (sistema lento), si el periodo del reloj es pequeño, el sistema entregará resultados a pasos más cortos, es decir más rápidamente.

Recordemos también que la frecuencia de funcionamiento de un sistema es la inversa del periodo de ese mismo sistema:  $F = 1/T$  (periodo). Por ello para encontrar la máxima frecuencia debemos encontrar el periodo mínimo . . .

## Cómo calcular u obtener el periodo mínimo de un sistema digital?

Bien, en un sistema digital el periodo mínimo está compuesto por los retardos MÁXIMOS de los componentes sincrónicos, de los componentes combinacionales , y de las interconexiones entre ellos. Veamos que significa esto: primero, en un sistema hay muchos caminos sincrónicos (camino de conexión entre flip-flops), pero el que es de interés para el cálculo del periodo mínimo es el camino (path) MAS LENTO de todos, es decir el que tiene los retardos MÁXIMOS. El camino más lento también es llamado camino CRÍTICO (critical path).

### Componentes del periodo mínimo (camino critico):

- *Retardo Sincrónico*: cuanto se demora en estar estable el dato a la salida de un flip-flip luego del flanco activo del reloj.
- *Retardo combinacional*: está compuesto por los componentes no sincrónicos, pueden ser compuertas lógicas, mux, decodificadores, LUTs (en el caso de un FPGA), etc, del camino crítico. Puede haber mas de uno de estos componentes; el retardo de cada uno se suma para lograr el retardo total. La cantidad de componentes combinacionales en el camino critico es normalmente

informado en el reporte de frecuencia máxima como 'niveles lógicos' (logic levels). Si se informa que el 'logic level' es 5, significa que en el camino crítico hay 5 componentes lógicos combinacionales.

- *Retardo* de ruteo o de conexiones en el camino crítico:
  - Entre la salida del componente síncrono (flip-flop) y la entrada a los componentes combinacionales.
  - Entre los componentes combinacionales.
  - Entre la salida de los componentes combinacionales y la entrada del flip-flop.
- *Tiempo de establecimiento del flip-flop donde termina el camino crítico*. El dato de entrada tiene que estar un tiempo de establecimiento (dado por la hoja de datos) antes de la llegada del flanco activo del reloj, a fin de evitar problemas de metaestabilidad.
- *Margen de periodo*: normalmente los valores de los retardos máximos de los puntos anteriores pueden estar afectados por lo que se llama PVT (process, volume, temperature) y los valores dados por la hoja de datos no son los que realmente tenga el circuito en funcionamiento. Por ello se agrega un cierto margen para asegurarse la estabilidad del sistema.

Como bien se dice, una imagen vale mas que mil palabras, Figura 1 muestra gráficamente lo anteriormente descrito en palabras:

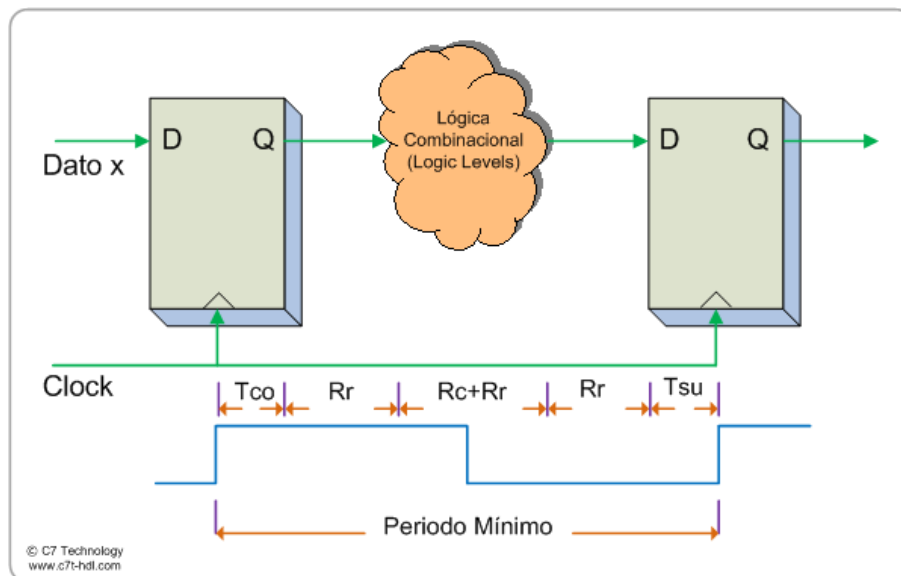


Figura 1 - Detalle grafico del llamado camino crítico

En ésta figura los tiempos detallados son los siguientes:

- $T_{co}$ : retardo síncrono, comúnmente llamado 'clock to output'.

- $R_r$ : retardo de ruteo.
- $R_c$ : retardo total de la lógica combinacional, que puede tener varios niveles.
- $T_{su}$ : tiempo de establecimiento del flip-flop.

Con todo esto podemos ahora describir la fórmula para calcular el periodo mínimo que nos va dar la frecuencia máxima de funcionamiento del sistema:

$$T_{min} \cong T_{co_{max}} + RetRuteoTotal_{max} + (RetCombTotal + RetRuteo)_{max} + T_{su_{max}} + 10\%Margen$$

El 10% de margen se calcula sumando los otros retardos y sacando el 10% de esa suma, el valor obtenido se usa como margen de seguridad del periodo mínimo.

## Periodo Mínimo en FPGAs

Los softwares provistos por los fabricantes de FPGAs ofrecen herramientas que realizan el análisis de todos los caminos sincrónicos del sistema. Estas herramientas realizan lo que se llama un Static Timing Analysis (STA) y reportan el camino más crítico y los siguientes casos no tan criticos. Por ejemplo, Altera Quartus provee TimeQuest como herramienta STA, Xilinx ISE provee Timing Analyzer, Libero de Actel ofrece SmartTime.

A modo de ejemplo de la información provista por una herramienta STA, en Figura 2 se puede observar un ejemplo de la información de un camino crítico dada por la herramienta TimeQuest de Altera.

2.331					data path
0.199		uTco	1	FF X14 Y1 N1	in2 req[0]
0.000	RR	CELL	1	FF X14 Y1 N1	in2 req[0]q
0.247	RR	IC	1	LCCOMB X14 Y1 N10	s1[0]~0 datab
0.306	RR	CELL	1	LCCOMB X14 Y1 N10	s1[0]~0 combout
0.524	RR	IC	2	LCCOMB X14 Y1 N16	out req[0]~4 datab
0.410	RR	CELL	1	LCCOMB X14 Y1 N16	out req[0]~4 cout
0.000	RR	IC	2	LCCOMB X14 Y1 N18	out req[1]~6 cin
0.058	RF	CELL	1	LCCOMB X14 Y1 N18	out req[1]~6 cout
0.000	FF	IC	2	LCCOMB X14 Y1 N20	out req[2]~8 cin
0.058	FR	CELL	1	LCCOMB X14 Y1 N20	out req[2]~8 cout
0.000	RR	IC	1	LCCOMB X14 Y1 N22	out req[3]~10 cin
0.455	RR	CELL	1	LCCOMB X14 Y1 N22	out req[3]~10 combout
0.000	RR	IC	1	FF X14 Y1 N23	out req[3]d
0.074	RR	CELL	1	FF X14 Y1 N23	out req[3]

Figura 2 - Información STA brindada por TimeQuest

Analicemos ésta información: La primer columna muestra los tiempos de, ya sea de una celda lógica o de un ruteo. La tercer columna detalla el componente o conexión motivo del retardo: el tiempo referenciado como CELL es el retardo combinacional de la celda lógica detallada en le última columna de la derecha. El tiempo IC se refiere al retardo de ruteo o de interconexión entre las celdas lógicas combinacionales. Como puede verse algunos retardos de IC es igual a 0.000; esto se debe al ruteo

dedicado que existe dentro de cada bloque básico del FPGA. El retardo total de este camino más crítico, que es el periodo mínimo al que puede correr satisfactoriamente este sistema, es de 2.331ns. Solo como referencia: La información de la quinta columna detalla el componente lógico usado, y la última columna el nombre dado por la herramienta de Place and Route para asociar el componente lógico con el nombre usado en el código VHDL.

Esta información es más fácil de interpretar viendo el esquemático de éste camino crítico. Tanto Altera, como Actel y Xilinx ofrecen esta vista del esquemático.

La siguiente figura, Figura 3, relaciona todo lo visto hasta acá, asociando el esquemático generado por la herramienta de análisis de tiempo y la figura anteriormente presentada.

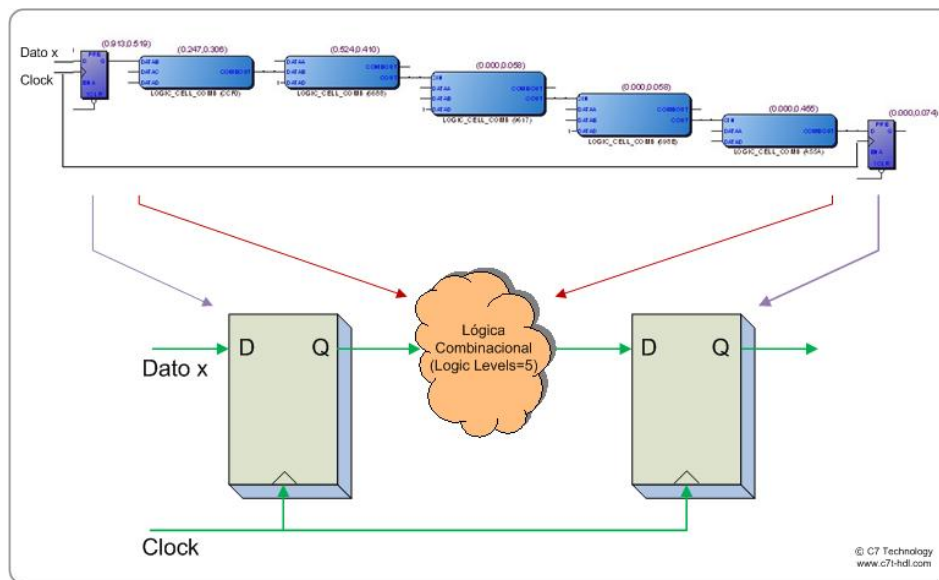


Figura 3 - Esquemático del camino crítico y su relación con gráfico de frecuencia máxima

Como ya dije al principio este es un cálculo básico del periodo mínimo de un sistema; en una próxima nota trataré de ir mas en detalle teniendo en cuenta por ejemplo el corrimiento del reloj (clock skew), retardos del camino de datos, jitter del reloj, etc....

C7 Technology

www.c7t-hdl.com

Copyright © 2012.  
All rights reserved.

Este documento puede ser copiado y distribuido libremente.  
Si es copiado por favor mantenga el logo e información de la compañía.  
Si parte del documento es cortado y pegado, por favor mencione C7 Technology como fuente de información. Gracias.

C7